

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-073974

(43)Date of publication of application : 08.05.1982

(51)Int.Cl.

H01L 29/78
H01L 21/302
H01L 29/60

(21)Application number : 55-149351

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.10.1980

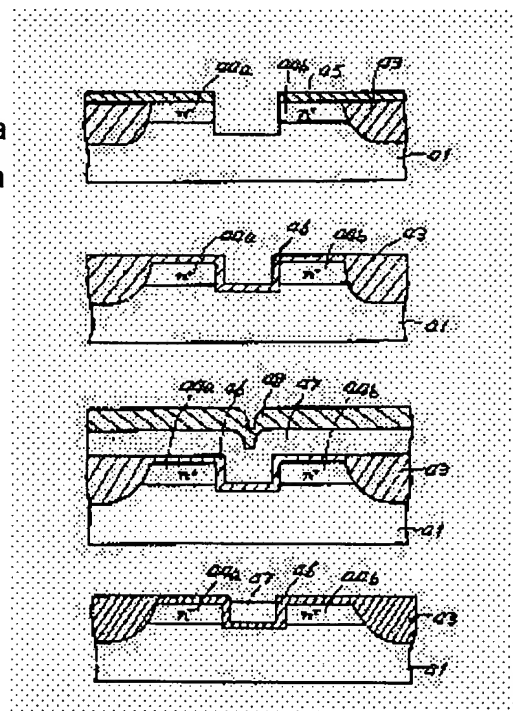
(72)Inventor : SAIGO TAKASHI
KUROSAWA AKIRA

(54) MANUFACTURE OF MOST TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the disconnection of a wire and to suppress the variation in the threshold voltage by forming a recess on a part of a semiconductor substrate to isolate source and drain regions, forming a gate insulating film on the recess, laminating a polycrystalline Si layer and a nitrided layer on the overall surface, and performing a reactive ion etching.

CONSTITUTION: A thick field oxidized film 43 is formed on the periphery of a P type Si substrate 41, ions are injected on an element region 42 surrounded by the film, and an n+ type layer 44 is formed consecutively thereto by a heat treatment. Subsequently, a resist film 45 is coated on the overall surface, the film 45 is removed corresponding to the gate region, is then etched to form a recess intruded into the substrate 41, and source and drain regions 44a, 44b are formed at both sides. Thereafter, the film 45 is removed, a gate oxidized film 46 is newly covered, and a polycrystalline Si layer 47 and an Si₃N₄ film 48 are laminated thereon. Then, reactive ion etching is performed to remain at the gate electrode 47 made of the layer 47 only in the recess, and unnecessary layer 47 and the film 48 are removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭57—73974

⑤ Int. Cl.³

H 01 L 29/78

21/302

29/60

識別記号

庁内整理番号

7377—5F

7131—5F

7638—5F

④ 公開 昭和57年(1982)5月8日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ MOS型半導体装置の製造方法

⑯ 発明者 黒沢景

川崎市幸区小向東芝町1東京芝

浦電気株式会社総合研究所内

⑰ 特 願 昭55—149351

⑱ 出 願 昭55(1980)10月27日

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 発 明 者 西郷孝

川崎市幸区小向東芝町1東京芝

浦電気株式会社総合研究所内

㉑ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

1. 発明の名称 MOS型半導体装置の製造方法

2. 特許請求の範囲

半導体基体表面の一部に凹部を形成してソース及びドレインとなる領域を分離する工程と、該ソース及びドレインとなる領域間の凹部にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上を含む前記基体上にゲート電極材料及び窒化膜を順次形成する工程と、該工程で形成した窒化膜の表面を反応性イオンエッチングによりエッチングして平坦化する工程と、該表面を平坦化した窒化膜及び前記ゲート電極材料をエッチングして前記凹部のみにゲート電極材料を残す工程とを具備したことを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、MOS型半導体装置の製造方法に関する。

従来、MOS型半導体装置は高集積化、高密度化が可能であることより広く用いられている。しかしながら、素子の微細化に伴い、短チャネル効

果によるしきい値電圧の変動や、配線の段切れによる歩留まりの低下などが問題となつてきている。

このようなことから、第1図に示す構造のMOS型半導体装置が提案されている。そして、その製造方法としては、まずp型の単結晶シリコン基体1に酸素イオンを選択的に注入して、基体1内部にゲート絶縁膜2を形成すると共に島状の単結晶シリコンゲート電極3を形成する。次にゲート絶縁膜2以外の基体1の表面にn型の砒素を選択的にドーピングして、ソース領域、ドレイン領域となるn⁺型領域4, 5を形成する。ひきつづき、層間絶縁膜6を堆積後、コンタクトホールを介してソース領域4、ドレイン領域5及びゲート電極3の取出し配線7, 8, 9を形成する。このようにして第1図に示すようなMOS型半導体装置を造る。

しかしながら、かかる方法ではソース領域4及びドレイン領域5をゲート電極3と容易かつ確実に分離できないこと、更にゲート酸化膜形成に酸素イオン注入を行なつているために、ゲート電極のダメージが問題となる、等の難点があつた。

本発明は上記触点に縮みなされたもので、配線の段切れを防止でき、ソース領域、ドレイン領域及びゲート電極を確実に分離できるようにし、かつ短チャネル効果によるしきい値電圧の変動の抑制も可能で、しかも微細化も可能なMOS型半導体装置の製造方法を提供するものである。

即ち本発明は上記目的を達成する為に、半導体基体の一部に凹部を形成してソース及びドレインとなる領域を分離し、その凹部にゲート絶縁膜を形成し、その後そのゲート絶縁膜上を含む基体上にゲート電極材料例えばポリシリコン層及び窒化膜を形成し、しかる後この窒化膜及びゲート電極材料を反応性イオンエッチングを行い、凹部のみにゲート電極材料を残すようにしたMOS型半導体装置の製造方法である。

そこで本発明における凹部にゲート電極材料を形成する方法としては、次のような窒化膜のエッチング特性を用いている。第2図の(1)のように窒化膜21をレジスト22をブロックとして、 $CF_4 + H_2$ (33%)で反応性イオンエッチング(RIE)を行

(3)

如く形成する。

次にレジスト45を塗布した後、ゲート領域のパターニングを行ない、ゲート領域のみレジストを除去し、レジスト45をマスクとしてシリコン基体41のエッチングを行ない、凹部を第4図(b)の如く形成する。このようにしてソース領域44a及びドレイン領域44bとなる領域を形成する。

この後レジスト45を除去し、熱酸化することによりゲート酸化膜46を第4図(c)の如く形成する。

次にゲート酸化膜46上全面に多結晶シリコン層47を堆積し、引続きプラズマ窒化膜例えば Si_3N_4 膜48を第4図(d)の如く堆積する。

次に、 $CF_4 + H_2$ ガス雰囲気中で、RIEを行なうと窒化膜48のエッチングレートが上述したように凹部では低いため、凹部でのエッチングは遅く次第に第4図(e)の如く平坦化される。

更に、窒化膜48と多結晶シリコン層47のエッチング速度がほぼ等しくなるようなエッチング条件でRIEを行ない、残った窒化膜48及び多結晶シリコン層47を第4図(f)の如くエッチングする。この

(5)

なつた場合、パターンの巾Wとエッチングの深さDとの関係は、第2図の(ロ)に示すようになる。この第2図の(ロ)を見ると、パターン巾が小さい程エッチングレートが小さいことがわかる。

そこで例えば、第3図(a)に示すように、シリコン基体31上に多結晶シリコン層32をデポジットしてパターニングし、この上に窒化膜33をデポジットした後、 $CF_4 + H_2$ でRIEを行なうと、第3図(b)に示されるように、エッチングレートに違いにより凹部が平坦化される。

本発明では、このような窒化膜のエッチング特性を用い、窒化膜表面を平坦化することを利用するMOS型半導体装置の製造方法を示している。

次に本発明をnチャネルMOS型トランジスタに適用し、その製造方法を実施例として第4図(a)～(h)に基づいて説明する。

まず、p型単結晶シリコン基体41に通常の方法により素子領域42以外にフィールド酸化膜43を形成した後、砒素をその素子領域全面にイオン注入を行ない、熱処理を行なつて、拡散層44を第4図(a)の

(4)

ようにして凹部のみに多結晶シリコン層47を残す。この多結晶シリコン層47がゲート電極となる。

このようにしてゲート領域以外の多結晶シリコン層48がエッチングされた後、沸化アンモニウム溶液に浸して凹部以外の酸化膜46をはくりする。次に層間絶縁膜として酸化シリコン膜49を気相成長(CVD)により堆積したのち、ソース領域44a、ドレイン領域44b及びゲート電極47と配線の接続のため、コンタクトホールを第4図(g)の如く開孔する。

そして最後にAlを蒸着して、ソース領域44a、ドレイン領域44b及びゲート電極47のAl配線50、51、52を行ない、第4図(h)の如くnチャネルMOS型トランジスタを製造した。

上記実施例で得られたnチャネルMOS型トランジスタは、第4図(h)に示す如くp型単結晶シリコン基体41の凹部にゲート酸化膜46、多結晶シリコンゲート電極47が形成されている。このため、素子の表面はほぼ平坦化されており、Alの配線の段切れを防止でき、又短チャネル効果によるし

(6)

きい値の変動も抑制することができ、ソース領域及びドレイン領域とゲート電極とが確実に分離されたMOS型半導体装置を簡便で、かつ高歩留まりで製造しうることができる。

尚上記実施例の方法において、ソース領域及びドレイン領域となる層44をイオン注入により凹部を形成する前に行つたが、凹部を形成した後でしかも凹部のみに多結晶シリコン層47即ちゲート電極を形成した後に熱拡散或いはイオン注入により形成しても良い。この場合、ゲート電極となる多結晶シリコン層中にも不純物が導入される為、多結晶シリコン層47中の抵抗も下がり電極として望ましい状態となる。

また上記実施例ではゲート電極材料として多結晶シリコンを用いたが、メタルシリサイド或いはAlであつても上記実施例と同様の効果を有する。

4. 図面の簡単な説明

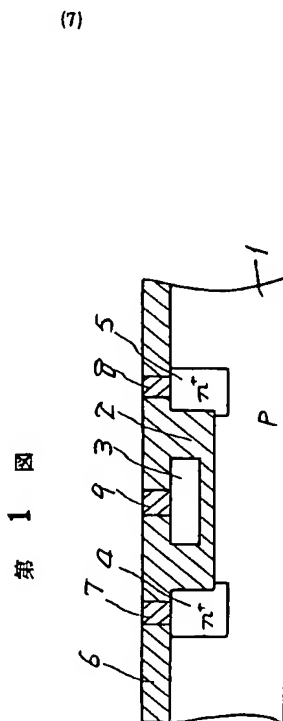
第1図は従来のMOS型半導体装置の製造方法を説明するための構成断面図、第2図(イ)(ロ)は本発明の反応性イオンエッチング(RIE)方法を説明

する為の図で(イ)は窒化膜をレジストをブロックとしてRIEを行なつた場合の断面図、(ロ)は(イ)のWに対するDの関係を示した曲線図、第3図(a)、(b)は本発明の基本構成を説明するための図で、(a)はシリコン基体に多結晶シリコンをデポジットしてパターンニングし、この上に窒化膜をデポジットした状態を示す断面図、(b)は(a)の状態の後RIEを行つた状態を示す断面図、第4図(a)~(h)は本発明の一実施例を説明する為の工程断面図である。

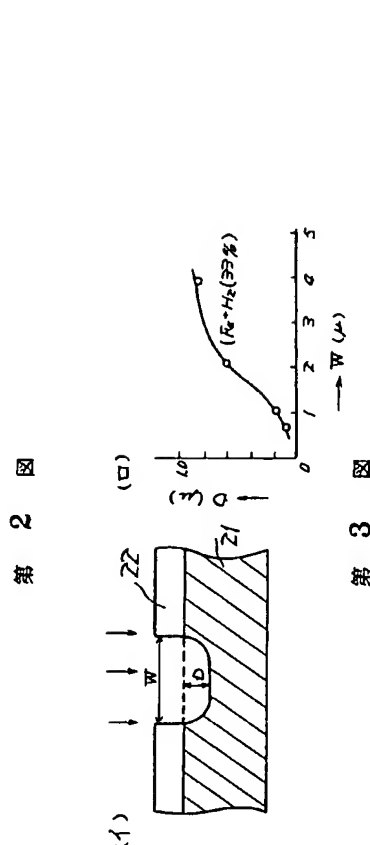
- | | |
|----------------------|--------------|
| 41：シリコン基体、 | 43：フィールド酸化膜、 |
| 44a：ソース領域、 | 44b：ドレイン領域、 |
| 45：レジスト、 | 46：ゲート酸化膜、 |
| 47：ゲート電極となる多結晶シリコン層、 | |
| 48：窒化膜、 | 49：酸化膜、 |
| 50、51及び52：配線。 | |

代理人 弁理士 則 近 藤 佑 (ほか1名)

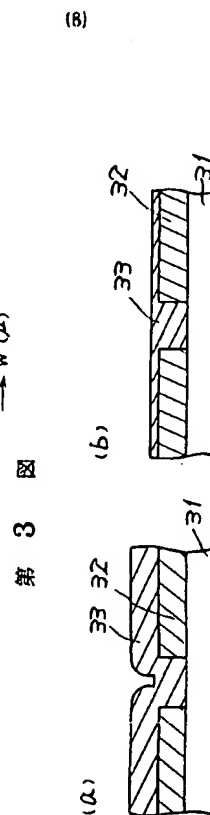
(7)



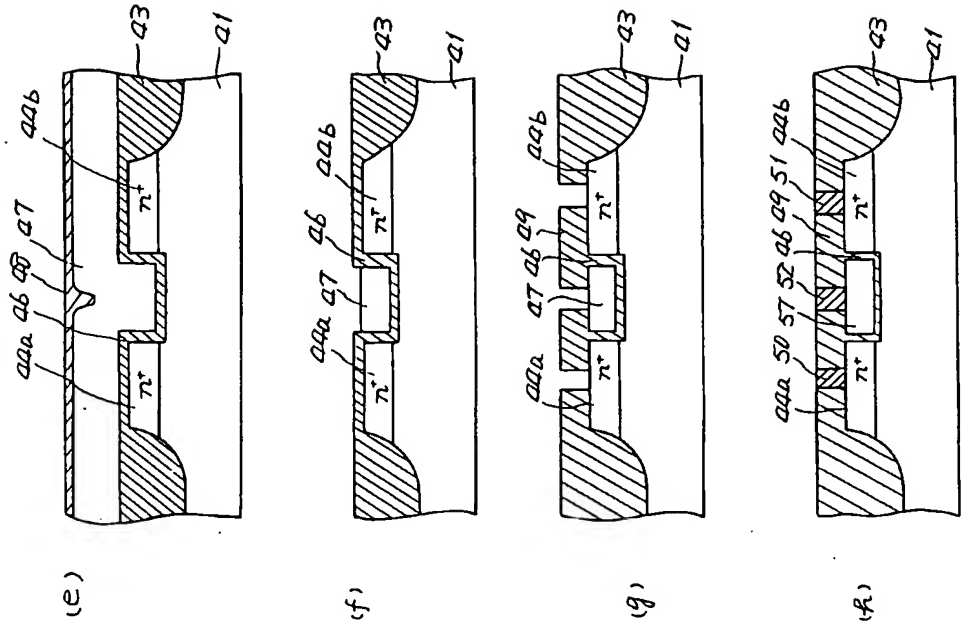
(8)



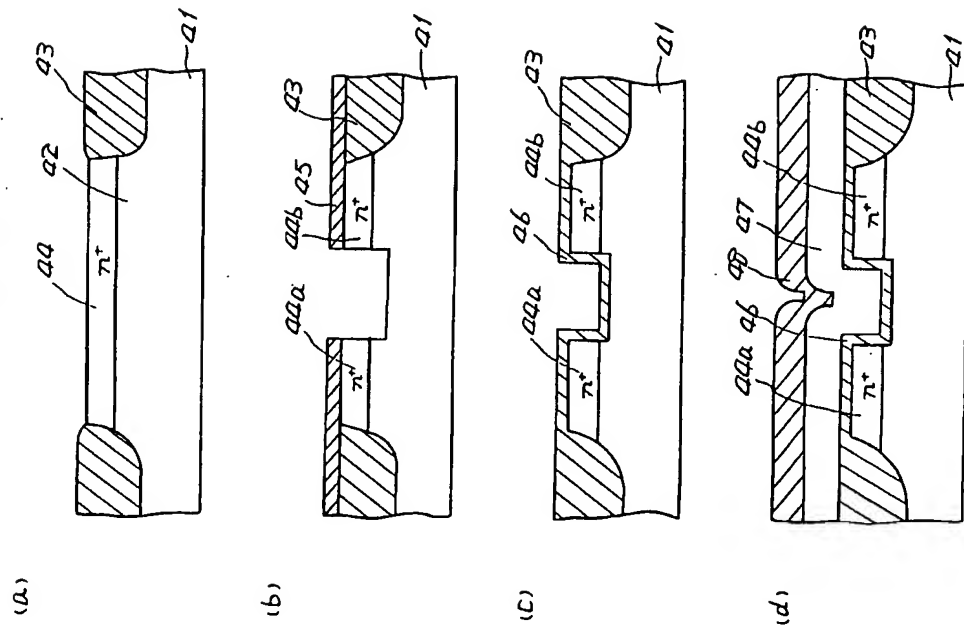
(9)



第 4 圖



第 4 圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ ~~COLOR OR BLACK AND WHITE PHOTOGRAPHS~~
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.